

MEMORY BUFFER CONTROL SYSTEM

Patent Number: JP6324986
Publication date: 1994-11-25
Inventor(s): TOI TETSUYA
Applicant(s): FUJI XEROX CO LTD
Requested Patent: ☐ JP6324986
Application Number: JP19930113479 19930514
Priority Number(s):
IPC Classification: G06F13/16
EC Classification:
Equivalents:

Abstract

PURPOSE: To obtain a buffer memory control system in which shared memory is comprised of a universal DRAM element, and capable of remarkably reducing delay when making access the shared memory.

CONSTITUTION: This system is constituted in such a way that a shared memory control part 51 is arranged between a system bus 14 and a DMA bus 16. and the input/output control of data on the shared memory comprised of a DRAM element 52 is performed by the control part. A pre-reading address counter 56 in the shared memory control part 51 generates an address following an address for the readout of data when it is sent from the DMA bus 16, and performs pre-reading of the DMA element 52, then, stores it in a pre-reading buffer. After that, the readout of a data signal is performed when such addresses are sent. During that time, access from the system bus 14 is permitted.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-324986

(43) 公開日 平成6年(1994)11月25日

(51) Int.Cl.⁵

G 0 6 F 13/16

識別記号

5 2 0 C 9366-5B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 3 O L (全 12 頁)

(21) 出願番号 特願平5-113479

(22) 出願日 平成5年(1993)5月14日

(71) 出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂三丁目3番5号

(72) 発明者 戸井 哲也

埼玉県岩槻市府内3丁目7番1号 富士ゼロックス株式会社内

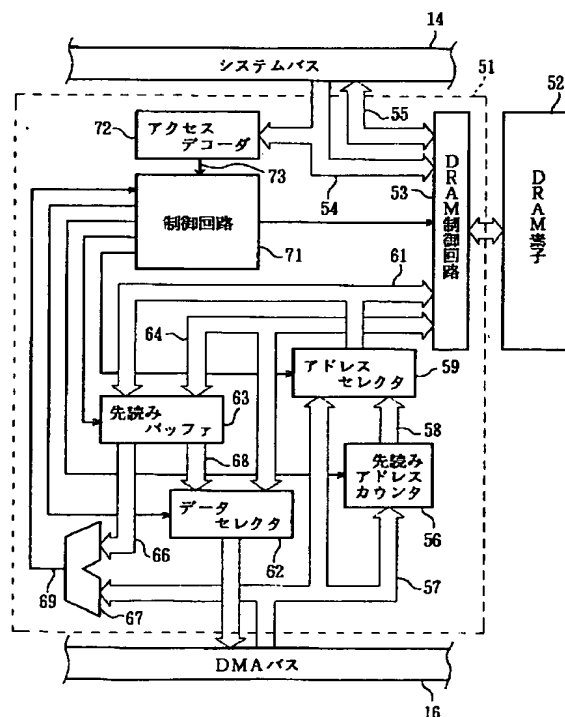
(74) 代理人 弁理士 山内 梅雄

(54) 【発明の名称】 メモリバッファ制御システム

(57) 【要約】

【目的】 共有メモリを汎用のDRAM素子を使用して構成し、しかも共有メモリへのアクセス時の遅延を極力小さくすることのできるメモリバッファ制御システムを得る。

【構成】 システムバス14とDMAバス16の間には共有メモリ制御部51が配置されており、DRAM素子52からなる共有メモリに対するデータの入出力制御を行うようになっている。共有メモリ制御部51内の先読みアドレスカウンタ56は、DMAバス16からデータの読み出しのためのアドレスが送出されてくるとそのアドレスの後に続くアドレスを発生させ、DRAM素子52の先読みを行って先読みバッファに格納させる。この後、それらのアドレスが送られてくれば、先読みバッファからデータ信号の読み出しが行われる。この間、システムバス14からのアクセスが可能になる。



【特許請求の範囲】

【請求項1】 複数のアクセスポートを有する共有メモリであって、

これらのアクセスポートのいずれかを用いて所定のサイクルのアクセスが行われるときその最後のアドレスに引き続くアドレスについてのデータ信号を読み出す後続データ読出手段と、

この読み出されたデータ信号をアクセスポートと対応付けて一時的に格納するデータ格納手段と、

このデータ格納手段に格納されたものと同一のアクセスポートから該当するアドレスのデータ信号に対して読み出しが要求されたときこのデータ格納手段から該当するデータ信号の読み出しを行うデータ格納手段読出手段とを具備することを特徴とするメモリバッファ制御システム。

【請求項2】 複数のアクセスポートを有する共有メモリであって、

これらのアクセスポートのいずれかを用いて所定のサイクルのアクセスが行われるときその最後のアドレスに引き続くアドレスについてのデータ信号を読み出す後続データ読出手段と、

この読み出されたデータ信号をアクセスポートと対応付けて一時的に格納するデータ格納手段と、

このデータ格納手段に格納されたものと同一のアクセスポートから該当するアドレスのデータ信号に対して読み出しが要求されたときこのデータ格納手段から該当するデータ信号の読み出しを行うデータ格納手段読出手段と、

このデータ格納手段読出手段がデータ信号の読み出しを行っている間、他のアクセスポートからのアクセスを許容する並行処理実行手段とを具備することを特徴とするメモリバッファ制御システム。

【請求項3】 複数のアクセスポートを有するメモリバッファ制御システムであって、

これらのアクセスポートの1つとしての任意の所定のアクセスポートから送られてきた最新アドレスを初期値としてアドレスのインクリメントを行うアドレス更新手段と、

DRAM素子の読み出しおよび書き込みの制御を行うDRAM素子制御手段と、

前記所定のアクセスポートから送られてくるアドレスと前記アドレス更新手段の出力するアドレスを選択してDRAM素子制御手段に供給するアドレス選択手段と、

前記アドレス更新手段から出力されたアドレスに基づいてDRAM素子から読み出されたデータ信号をそれらのアドレスと共に格納する先入れ先出しメモリと、

前記DRAM素子から読み出されたデータ信号と先入れ先出しメモリから出力されるデータ信号とを選択して前記所定のアクセスポートに供給するデータ信号選択手段と、

前記先入れ先出しメモリに格納されたアドレスと前記所定のアクセスポートから送られてきたデータ読み出しのためのアドレスとを比較する比較手段と、

比較手段の比較結果が一致したとき前記DRAM素子にデータの読み出しのためのアクセスを行うことなく前記先入れ先出しメモリに格納された該当するアドレスのデータ信号を前記所定のアクセスポートに送出させるデータ信号選択制御手段とを具備することを特徴とするメモリバッファ制御システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は共有メモリからデータを効率的に読み出すことのできるメモリバッファ制御システムに係わり、特にDRAMを共有メモリとして使用した場合に好適なメモリバッファ制御システムに関する。

【0002】

【従来の技術】 一般に計算機システムでは、バスを使用する権限を有するCPU（中央処理装置）等の複数のバスマスタ装置と、これらのバスマスタ装置のアクセス対象となるメモリ装置とがバスを介して接続されている。このようなシステムでは、①同一のバスを使用する上でこれらのバスマスタ装置が競合する可能性がある。これが②メモリ装置のアクセス遅延と併せてシステムの性能の向上を阻む要因となっている。また、バスが分離されたシステムで、共有するメモリ装置（共有メモリ）がバスブリッジを介して一方のバスに接続されているような場合には、このバスブリッジの存在に起因する遅延もシステムの性能を阻害する要因として追加されることになる。

【0003】 図5は2つの異なったバスの一方に共有メモリを備えた共有メモリ制御システムの一例を表わしたものである。ここでは、CPU11、共有メモリ12および入出力制御装置13がシステムバス14に接続されている。システムバス14は更にバスブリッジ15を介してDMAバス16に接続されている。DMAバス16には、DMA（ダイレクトメモリアクセス）制御装置17と入出力制御装置18が接続されている。

【0004】 この図5に示したような共有メモリ制御システムでは、DMA制御装置17が共有メモリ12にアクセスする際に前記したようにバスブリッジ15による遅延が問題となる。これは具体的には、③DMA制御装置17がDMAバス16にアクセスする際の調停に要する遅延の他に、④バスブリッジ15上のロジック動作に起因する遅延や、バスブリッジ15内のバッファ（図示せず）を信号が通過していく際の遅延である。ここで、バスブリッジ15上のロジック動作に起因する遅延とは、複数のバス要求が競合したような場合に、バスブリッジ15を介して発生する可能性のあるシステムバス14あるいはDMAバス16上のデッドロック状態を回避するためのロジック動作に必要とされる遅延をいう。

1-3

【0005】このようなアクセスまでの処理時間をできるだけ短縮するために、図5に示したバスブリッジ15の内部にライトバッファと呼ばれる書込命令の一時格納手段を設けることが提案されている。このような提案によれば、両方のバス16、14が同時に使用されなくなる時間を待つことなく、DMA制御装置17から共有メモリ12に対するアクセスがみかけ上可能になる。

【0006】図6(a)は、この提案によって共有メモリにデータを書き込む場合のDMA制御装置側の処理作業の時間的な推移を表わしたものである。時刻 t_1 にDMA制御装置17が共有メモリ12に対するアクセス要求を発生させると、同一のDMAバス調停のための時間 T_1 が経過した時点で共有メモリ12に対する書込命令がライトバッファに書き込まれる。時間 T_2 は、このためのバスブリッジ応答遅延時間を表わしたものである。すなわち、この場合にはDMA制御装置17側では時間 T_2 が経過した時刻 t_2 にアクセスのための処理を完了させる。この後は、バスブリッジ15側で独自にシステムバス14を獲得し共有メモリ12への書込アクセスを行えばよい。しかしながら、そのライトバッファを使用する提案でも共有メモリ12に対する読み出しのための操作は一切効果がない。

【0007】図6(b)は、同図(a)と対比させて共有メモリの読出アクセスのためのタイミングを表わしたものである。同様に、時刻 t_1 にDMA制御装置17が共有メモリ12に対するアクセス要求を発生させたものとする。これから時間 T_1 の間、DMAバス16を獲得するためのDMAバス調停が行われる。次に時間 T_2' の間、バスブリッジ15内での処理による遅延が生じる。次の時間 T_3 は、バスブリッジ15からシステムバス14を獲得するためのシステムバス調停に要する時間である。

【0008】このようにしてDMAバス16とシステムバス14の獲得が共に成功したら、DMA制御装置17が共有メモリ12に対する読み出しのためのアクセスを行う。時間 T_4 はDMA制御装置17によるメモリアクセス遅延時間であり、時間 T_5 はこれに対するバスブリッジ15内での処理の遅延である。この結果、時間 T_5 が経過した時刻 t_5 に共有メモリ12に対するアクセスが完了することになる。

【0009】そこで、遅延時間をより短縮するための提案が行われている。例えば、前記した①バスマスタ装置同士が同一のバスを使用することによる遅延や、③DMA制御装置17がDMAバス16にアクセスする際の調停に要する遅延を極力避けるための提案が行われている。これらのために、別々のバスからデュアルポート化した共有メモリをアクセスするようにした共有メモリ制御システムが提案されている。

【0010】図7は、このような共有メモリ制御システムの一例として特開昭63-46559号公報に代表さ

れる提案を示したものである。この図で図5と同一部分には同一の符号を付しており、これらの説明を適宜省略する。

【0011】この提案の共有メモリ制御システムでは、システムバス14とDMAバス16の間を、共有メモリ部21とバスアクセス制御部22とからなるバスブリッジ23で接続している。ここで、共有メモリ部21は、CPU11、入出力制御装置18等のバスマスタ装置が共有するメモリ素子24と、デュアルポート制御のためのデュアルポート制御部25で構成されている。

【0012】この共有メモリ制御システムでバスアクセス制御部22は、システムバス14とDMAバス16のアクセスを認識し、両者が競合するような場合にはその調停を行うようになっている。デュアルポート制御部25は、これらいずれの方向のアクセスに対してもそれに関するデータをメモリ素子24に一旦格納することによって、図6(b)で示したような不都合の発生を改善している。

【0013】しかしながら、この提案であっても共有メモリ部21のメモリ素子24は物理的に1つの入出力端子を備えていることに相違はない。したがって、システムバス14とDMAバス16といった2つのバスが同期協調していないような場合には、単にバスアクセス制御部22が両方向のアクセスに対して交通整理を行ってメモリ素子24の使用を認めたものに過ぎない。したがって、図5に示したバスブリッジ15に対するアクセスの競合を、単にメモリ素子24の場所に移してしまったものに過ぎず、メモリアクセスの競合に対する本質的な対策とはなっていない。

【0014】以上、見掛け上2つの入出力端子をもったメモリ素子24を使用した共有メモリ制御システムについて説明したが、メモリ素子自体が2個のI/Oポートを有する特殊なビデオRAM(ランダム・アクセス・メモリ)等のメモリ素子も製品として存在している。このようなメモリ素子は、例えばワークステーションに代表される高性能な小型計算機に多く使用されている。

【0015】図8は、このような計算機が入出力装置と接続された一例を表わしたものである。この例では、システムバス等のバス31に、CPU32、主メモリ装置33、DMA制御回路34および一般的な入出力制御装置35が接続されている。また、フレームバッファ36を介してディスプレイ37が、更にページバッファ38を介してページプリンタ39が、バス31に接続されている。ここで、フレームバッファ36やページバッファ38は、ビットマップ形式の一画面や一枚の用紙に相当する情報を一括して蓄えることのできる大容量のメモリであり、これらに前記した2個のI/Oポートを有するメモリ素子が使用されることが多い。

【0016】これらフレームバッファ36あるいはページバッファ38からディスプレイ37あるいはページブ

リント39を宛先とするデータの転送は、常に、シーケンシャルなアドレスに対する単純な読出操作によって行われる。したがって、このために特殊なメモリ素子が要求されるのではない。フレームバッファ36やページバッファ38に特殊なメモリ素子が要求されるのは、これらに読出時間の制約があるためである。例えばフレームバッファ36については画面のリフレッシュを行うための時間的な制約があり、ページバッファ38についてはプリンタの印字速度との関係で制約がある。

【0017】ところが、図8に示したような計算機システムを構成すると、システム内に主メモリ装置33と内容的に重複したデータを蓄えるようにした専用メモリとしてフレームバッファ36やページバッファ38が存在することになる。このため、このシステムではこれらの専用メモリを備えるだけコストがアップするといった問題があるばかりでなく、主メモリ装置33内のデータをこれら専用メモリにコピーするといった作業が必要であった。

【0018】そこで、これらフレームバッファ36やページバッファ38といった専用メモリを設ける代わりに、図8に示した主メモリ装置33上に出力データを蓄えるようにすることが提案されている。

【0019】図9は、この提案の1つとして、出力する画面データを記憶するようにした主メモリ装置の記憶領域の構成例を表わしたものである。主メモリ装置33には、ワークエリアやデータあるいはコード情報の格納される領域の他に、ビットマップデータを記憶する第0～第2の画面データ記憶領域41₀～41₂が設けられている。3つの画面データ記憶領域41₀～41₂が設けられているのは、図10に示したように図8に示した計算機システムではディスプレイ37で3つの画面42₀～42₂を自在に切り替えられるようにしているためである。

【0020】図11は、この提案の他のものとして、出力するプリントデータを記憶するようにした主メモリ装置の記憶領域の構成例を表わしたものである。主メモリ装置33には、ワークエリアやデータあるいはコード情報の格納される領域の他に、ビットマップデータを記憶する第1～第4のプリントデータ記憶領域43₁～43₄が設けられている。第1のプリントデータ記憶領域43₁は、図12に示すように第1ページの印字用紙44₁にプリントするデータを格納し、以下同様に第4のページバッファは第4ページの印字用紙44₄にプリントするデータを格納するようになっている。もちろん、第5ページのプリントを行う場合には、第1のプリントデータ記憶領域43₁が代って使用される。第6ページ以降も同様にプリントデータ記憶領域43₁～43₄が繰り返し使用されることになる。

【0021】このような提案で計算機システムを問題なく動作させるためには、主メモリ装置33を図9あるいは

図11に示したような記憶形式にすると共に、先に説明した読出時間の制約を満足することが必要になる。この際に、単に主メモリ装置33を図7で説明したようなデュアルポート化しただけでは、この図7で説明したように問題が本質的に解決するものではない。

【0022】

【発明が解決しようとする課題】更に、共有メモリは一般に容量上の問題からDRAM（ダイナミック・ランダム・アクセス・メモリ）素子を使用することが多い。ところが、DRAM素子はアクセスの最初の段階で、ロウアドレスとカラムアドレスを素子内部にラッチさせる必要がある。

【0023】図13は、ファーストページモード動作のDRAM素子から連続してデータを読み出す際の様子を表わしたものである。同図（a）はアドレスを、同図（b）は行アドレスのためのストロブ信号としてのRAS信号を、同図（c）は列アドレスのためのストロブ信号としてのCAS信号を、同図（e）は読出データをそれぞれ表わしたものである。時刻 t_0 からRAS信号およびCAS信号の立ち下がりに同期して行のアドレスRと各列のアドレス C_0 、 C_1 、…… C_N が出力される。同図（e）に示した読出データは、時刻 t_0 から時間 T_{A0} だけ経過した後に読み出しが開始される。

【0024】なお、この図13に示したタイミングで斜線を示したものはデータの読み出しに関係しない信号部分を表わしている。後に示す図面についても同様である。

【0025】この図で示した時間 T_{A1} は、該当する列のアドレス（この図では第1の列のアドレス C_1 ）の出力が開始されてから、その読出データが出力を開始されるまでのアクセス時間である。前記したアクセスの初期段階に要する時間 T_{A0} は、これ以降のアクセス時間 T_{Am} （ただし $m=1, 2, \dots, N$ ）よりも大きい。したがって、DRAM素子を共有メモリとして使用したメモリバッファ制御システムでは、②メモリ装置のアクセス遅延が大きな問題となっていた。

【0026】そこで本発明の目的は、共有メモリを汎用のDRAM素子を使用して構成し、しかも共有メモリへのアクセス時の遅延を極力小さくすることのできるメモリバッファ制御システムを提供することにある。

【0027】

【課題を解決するための手段】請求項1記載の発明では、複数のアクセスポートを有する共有メモリであって、（イ）これらのアクセスポートのいずれかをを用いて所定のサイクルのアクセスが行われるときその最後のアドレスに引き続くアドレスについてのデータを読み出す後続データ読出手段と、（ロ）この読み出されたデータ信号をアクセスポートと対応付けて一時的に格納するデータ格納手段と、（ハ）このデータ格納手段に格納されたものと同一のアクセスポートから該当するアドレスの

データ信号に対して読み出しが要求されたときこのデータ格納手段から該当するデータの読み出しを行うデータ格納手段読出手段とをメモリバッファ制御システムに具備させる。

【0028】すなわち請求項1記載の発明では、DRAM素子等からなる共有メモリを使用してデータの読み出しを行う際に、所定のサイクルのアクセスにおける最後のアドレスに引き続くアドレスについてのデータ信号を共有メモリから先に読み出ししておく。これら読み出したデータ信号はそれらのアドレスと対応付けてデータ格納手段に格納しておき、これらのアドレスが後続して指定された場合にはこのデータ格納手段からデータ信号を読み出すことにして、アクセス時の競合を少なくし、前記した目的を達成する。

【0029】請求項2記載の発明では、複数のアクセスポートを有する共有メモリであって、(イ)これらのアクセスポートのいずれかをを用いて所定のサイクルのアクセスが行われるときその最後のアドレスに引き続くアドレスについてのデータを読み出す後続データ読出手段と、(ロ)この読み出されたデータをアクセスポートと対応付けて一時的に格納するデータ格納手段と、(ハ)このデータ格納手段に格納されたものと同一のアクセスポートから該当するアドレスのデータに対して読み出しが要求されたときこのデータ格納手段から該当するデータの読み出しを行うデータ格納手段読出手段と、(ニ)このデータ格納手段読出手段がデータの読み出しを行っている間、他のアクセスポートからのアクセスを許容する並行処理実行手段とをメモリバッファ制御システムに具備させる。

【0030】すなわち請求項2記載の発明では、DRAM素子等からなる共有メモリを使用してデータの読み出しを行う際に、所定のサイクルのアクセスにおける最後のアドレスに引き続くアドレスについてのデータ信号を共有メモリから先に読み出ししておく。これら読み出したデータ信号はそれらのアドレスと対応付けてデータ格納手段に格納しておく。そして、これらのアドレスが後続して指定された場合にはこのデータ格納手段からデータ信号を読み出し、この間、他のアクセスポートからの共有メモリに対するアクセスを許容して、共有メモリに対するアクセス時の競合を少なくし、前記した目的を達成する。

【0031】請求項3記載の発明では、複数のアクセスポートを有するメモリバッファ制御システムであって、(イ)これらのアクセスポートの1つとしての任意の所定のアクセスポートから送られてきた最新アドレスを初期値としてアドレスのインクリメントを行うアドレス更新手段と、(ロ)DRAM素子の読み出しおよび書き込みの制御を行うDRAM素子制御手段と、(ハ)前記した所定のアクセスポートから送られてくるアドレスとアドレス更新手段の出力するアドレスを選択してDRAM

素子制御手段に供給するアドレス選択手段と、(ニ)アドレス更新手段から出力されたアドレスに基づいてDRAM素子から読み出されたデータ信号をそれらのアドレスと共に格納する先入れ先出しメモリと、(ホ)DRAM素子から読み出されたデータ信号と先入れ先出しメモリから出力されるデータ信号とを選択して前記した所定のアクセスポートに供給するデータ信号選択手段と、

(ヘ)先入れ先出しメモリに格納されたアドレスと前記した所定のアクセスポートから送られてきたデータ読み出しのためのアドレスとを比較する比較手段と、(ト)比較手段の比較結果が一致したときDRAM素子にデータの読み出しのためのアクセスを行うことなく先入れ先出しメモリに格納された該当するアドレスのデータ信号を前記した所定のアクセスポートに送出させるデータ信号選択制御手段とをメモリバッファ制御システムに具備させる。

【0032】すなわち請求項3記載の発明では、DRAM素子を使用してデータの読み出しを行う際に、これらのアクセスポートの1つとしての任意の所定のアクセスポートから送られてきた最新アドレスを初期値としてアドレスのインクリメントを行うアドレス更新手段を設け、先行するアドレスを発生させる。そして、これによりDRAM素子から読み出されたデータ信号と対応するアドレスを先入れ先出しメモリに格納しておく。この格納したデータ信号のアドレスは、前記した所定のアクセスポートから次に送られてくるアドレスと比較手段によって比較され、これらが一致したときには、DRAM素子から読み出されたデータ信号と先入れ先出しメモリから出力されるデータ信号とを選択するデータ信号選択手段を先入れ先出しメモリ側に選択させ、DRAM素子を直接アクセスすることなくデータ信号の読み出しを可能にして、他のアクセスポートによるDRAM素子のアクセスを可能にし、前記した目的を達成する。

【0033】

【実施例】以下実施例につき本発明を詳細に説明する。

【0034】図1は本発明の一実施例におけるメモリバッファ制御システムの構成の要部を表わしたものである。本実施例のシステムで全体的な構成は図5に示したものと同一であり、この図に示した符号を適宜使用することにする。

【0035】本実施例のメモリバッファ制御システムの共有メモリ制御部5.1は、DRAM素子5.2とデータの入出力を行うDRAM制御回路5.3を備えている。DRAM制御回路5.3は、システムバス1.4からアドレス情報5.4の供給を受け、システムバス1.4との間でデータの入出力を行う。また、DMAバス1.6あるいは先読みアドレスカウンタ5.6から供給されるアドレス情報5.7、5.8のうちのアドレスセレクト5.9によって選択されたアドレス情報6.1の供給を受け、データセレクト6.2または先読みバッファ6.3との間でデータ信号6.4の

入出力を行う。先読みバッファ63にはアドレス情報61も供給されており、これらが対応をとって格納されるようになっている。

【0036】先読みバッファ63から読み出されたアドレス情報66は比較器67に入力され、データ信号68はデータセクタ6-2に供給されるようになっている。比較器67はDMAバス16から送られてきたアドレス情報57とアドレス情報66の比較を行い、その比較器出力69を制御回路71に供給するようになっている。制御回路71は、システムバス14からアドレス情報54の供給を受けて共有メモリ制御部51に対するアクセスを認識するアクセスデコーダ72から解読結果73を得るようになっており、これらの情報を用いてDRAM制御回路53、先読みアドレスカウンタ56、アドレスセクタ59、データセクタ62および先読みバッファ63の制御を行うようになっている。

【0037】このような構成の共有メモリ制御部51は、システムバス14からアドレス情報54およびデータ信号55の供給を受けると、DRAM制御回路53を介してDRAM素子52のアクセスを行う。このとき、アクセスデコーダ72はシステムバス14側からの共有メモリアccessを認識し、DRAM制御回路53の制御を行うようになっている。

【0038】これに対して、DMAバス16のアドレス情報57はアドレスセクタ59に直接供給される他、先読みアドレスカウンタ56を介してこれに供給されるようになっている。先読みアドレスカウンタ56は、入力されたアクセスアドレスをロードしておき、DMAバス16からのアクセスが終了した時点で更に引き続くアドレスを生成し、これをアドレス情報58としてアドレスセクタ59に入力するようになっている。この結果として、アドレスセクタ59からはDMAバス16のアクセスしたアドレスとこれに引き続くアドレスとがアドレス情報61として出力されることになる。

【0039】この結果、DRAM素子52からはDMAバス16からアクセスされたデータとこれに続いた先読みされたデータとがデータ信号64として出力されることになる。先読みされたデータ信号64とこれに対応するアドレス情報61とは先読みバッファ63に蓄えられる。先読みバッファ63はFIFO（先入れ先出し）メモリで構成されており、制御回路71の制御によって順にこれらが対となって読み出される。そして、このうちのアドレス情報66がDMAバス16から次に供給されるアドレス情報57と比較されることになる。

【0040】この比較によって両アドレス情報57、66が一致した場合には、DMAバス16がアクセスするデータがすでに先読みバッファ63に格納されていることを意味する。したがって、この場合には、すなわち先にアクセスしたアドレスと連続するアドレスに対してアクセスが行われた場合には、そのデータ信号68がデー

タセクタ62を経由して直ちにDMAバス16に出力されることになる。この制御のために比較器出力69が制御回路71に入力されることになる。

【0041】比較器出力69による比較結果が一致しなかった場合には、DMAバス16から供給されるアドレス情報57はアドレスセクタ5-9を経由してアドレス情報61としてDRAM素子5-2に供給され、データ信号64の読み出しが行われることになる。この場合にも、先読みアドレスカウンタ56は先読みを行い、これに引き続くアドレス情報58を作成しておいて、データ信号64の先読みを行わせることになる。

【0042】図2は、本実施例のメモリバッファ制御システムにおける先読み制御の様子を表わしたものである。同図（a）はシステムバス14の状態を表わしており、同図（b）はDMAバス16の状態を表わしている。また、同図（c）はDRAM素子52から読み出されるデータを表わしており、同図（e）は先読みバッファ63の読み出すデータ信号を表わしている。

【0043】説明を簡単にするために、本実施例でDRAM素子52からのデータの先読みは、DMAバス16からの読出アクセスに対してのみ行われるものとする。また、その際のDMAバス16からのアクセスは、先に説明したフレームバッファ36やページバッファ38（図8参照）へのアクセスのように、連続的なアドレスに対するシーケンシャルなアクセスであると仮定する。

【0044】図2では、時刻 t_1 にDMAバス16から共有メモリとしてのDRAM素子52に対する読出アクセスが要求される。これに基づいてDRAM制御回路53はDRAM素子52を起動する。DRAM素子52に対するアクセスは、3回のアドレスインクリメントを伴う連続した4サイクルのデータ信号読み出し $d_0 \sim d_3$ によって時刻 t_2 において完了する。本実施例のメモリバッファ制御システムでは、この時点で先読みアドレスカウンタ56に4回目のメモリアドレス（図でデータ信号読み出し d_3 に対応するアドレス情報57）がロードされる。

【0045】アドレスセクタ59がこの時点から先読みアドレスカウンタ56側に切り替わり、引き続いて後続するアドレスが順にDRAM制御回路53に供給される。このようにして時刻 t_3 までの間にDRAM素子52から後続のアドレスに対応する更に4サイクル分のデータ信号読み出し $d_4 \sim d_7$ が行われる。これらのデータ信号64は、対応するそれぞれのアドレス情報61と共に先読みバッファ63に格納される。

【0046】引き続くアドレスに対するDRAM素子52への読出アクセスが時刻 t_4 から開始されるものとする。比較器67はDMAバス16から送られてきたアドレス情報57の検出を行い、比較器出力69を制御回路71に送る。制御回路71はこれを基にデータセクタ62を先読みバッファ63側に切り替える。これと共

に、先読みバッファ63に格納された内容がDMAバス16上に出送されることになる。

【0047】この間、先読みアドレスカウンタ56は先行のアドレスを更に出力する。これに伴って、更に4サイクル分のデータ信号読み出し $d_8 \sim d_{11}$ が行われる。DRAM素子52から読み出されたデータ信号64は、対応するそれぞれのアドレス情報61と共に先読みバッファ63に格納される。

【0048】時刻 t_5 に、システムバス14からの共有メモリアクセスがアクセスデコーダ72によって検出される。これによって先読みサイクルが中断される。この時点からシステムバス14のアクセスが行われる。このアクセスはDRAM素子52に対する書込アクセスであってもよいし読出アクセスであってもよい。

【0049】このアクセスが行われている途中の時刻 t_6 に、DMAバス16から先のアドレスに引き続くアドレスに対するアクセス要求が行われたとする。この場合には、先読みバッファ63にこれら引き続くアドレスのデータが格納されているので、システムバス14のアクセスとは全く無関係にDMAバス16に対するデータ信号68の出力が行われる。すなわち、いずれのバス14、16にも待ちが発生せず、並行した処理が行われることになる。

【0050】この後の時刻 t_7 に先読みバッファ63は空になる。したがって、次のDMAバス16からのアクセス時には、最初の段階と同様にDRAM素子52から直接、データ信号64の読み出しを行うことになる。しかしながら、本実施例では以上説明したようにDMAバス16側の直前の読出アクセスのためのアドレス情報57を保持しているので、共有メモリであるDRAM素子52がどちらのバス14、16からもアクセスされないアイドル状態の期間を利用して、引き続く可能性のあるアドレスのデータ信号64を事前に先読みバッファ63に格納するようにしている。

【0051】したがって、連続するアドレスに対する読み出しのためのアクセスを高速に行うことができる。また、先読みバッファ63に格納したデータ信号68の読み出しを行っている間、DRAM素子52をシステムバス14のアクセス対象とすることができるので、2つのバス14、16からのアクセスを時間的に並行して処理することができる可能性が高くなり、先に説明したディスプレイ37に接続したフレームバッファ36やページプリンタ39に接続したページバッファ38のような用途で、アクセス競合遅延の小さなメモリバッファ制御システムを実現することができる。

【0052】図3は、本実施例の共有メモリ制御部における制御の要部の流れを表わしたものである。共有メモリ制御部51は、DRAM素子52に対するアクセス要求の有無と、先読みバッファ63を構成するFIFOメモリがフル（満杯）になったかどうかの監視を行ってい

る（ステップS101、S102）。DRAM素子52に対するアクセス要求があると（ステップS101；Y）、それがシステムバス14からの要求であるかどうかを判別し（ステップS103）、そうであれば（Y）、DRAM素子52に対するアクセスを行う（ステップS104）。

【0053】システムバス14からの要求ではなく、DMAバス16からの要求であれば（ステップS103；N）、それが読出アクセスの場合には（ステップS105；Y）、先読みアドレスカウンタ56にアドレスをロードして（ステップS106）、DRAM素子52からデータの読み出しを行う（ステップS107）。これに対して、DMAバス16からデータの書き込みが要求された場合には（ステップS105；N）、DRAM素子52に対するデータの書き込みが行われる（ステップS108）。

【0054】一方、ステップS102で先読みバッファ63を構成するFIFOメモリに空きが発生した場合には（ステップS102；N）、その空き分だけ先読みしたデータおよびそのアドレスを格納することができる。したがって、この場合には先読みアドレスカウンタ56のカウント値を“+1”だけ更新する（ステップS109）。そして、アドレスセクタ59の選択するアドレス情報をDMAバス16から直接得られるアドレス情報57から先読みアドレスカウンタ56の出力するアドレス情報58に切り換える（ステップS110）。そして、DRAM素子52から読み出したデータとこれに対応するアドレス情報61とを先読みバッファ63に格納する（ステップS111）。

【0055】先読みバッファ63に対する以上の制御は、構成するFIFOメモリに空きがなくなるまで繰り返され（ステップS102、S109～S111）、その限度でデータの先読みが行われることになる。

【0056】図4は、この図3で説明した先読みバッファを構成するFIFOメモリの読み出し制御の様子を表わしたものである。先読みバッファ63は、DMAバス16が読出アクセスを行うと（ステップS201；Y）、FIFOメモリが空でないとき（ステップS202；N）、データの読み出しのための制御を行う。この際、FIFOメモリ63の読み出すデータに対応するアドレス情報がDMAバス16から送られてきたアドレス情報57と比較器67で比較される（ステップS203）。そして、これらが一致しない場合には（N）、FIFOメモリに先読みされたデータと異なったデータが要求されたことになるので、先読みバッファ63のFIFOメモリに格納されたデータをすべてクリアすることになる（ステップS204）。

【0057】これに対して、比較器67が両アドレス情報の一致を検出したときには（ステップS203；Y）、先読みバッファ63から出力されるデータ信号6

8とDRAM素子52から読み出されるデータ信号64との選択を行うデータセクタ62を、先読みバッファ63側に切り換える(ステップS205)。そして、これによって選択されたデータ信号68をDMAバス16上に転送させることになる(ステップS206)。

【0058】なお、以上説明した実施例では先読みバッファ63としてFIFOメモリを使用した。入力されたアドレス情報61とデータ信号64を順に取り出せるものであればこれに限る必要はない。また実施例ではシステムバス14とDMAバス16の2つのバスを用いた例について説明したが、これに限るものではない。

【0059】

【発明の効果】以上説明したように請求項1～請求項3記載の発明によれば、DRAM素子等で構成された共有メモリからデータの読み出しを先行して行い、これを一時的に格納しておいて、これが必要になったときには共有メモリから読み出さずにこの格納手段から読み出すことにしたので、高速で応答することができる他、複数のバスにおけるアクセスの調整による遅延量の減少を図ることができる。

【0060】更に請求項2および請求項3記載の発明では、データ格納手段あるいは先入れ先出しメモリからデータ信号の読み出しを行っている状態で他のアクセスポートから共有メモリあるいはDRAM素子をアクセスすることができるので、複数のバスによるアクセスの並行処理が可能になり、データ処理の効率化を図ることができる。したがって、システムの性能を低下させることのない高速の共有メモリを安価な汎用DRAM素子等の素子で構成することができるという利点がある。

【図面の簡単な説明】

【図1】 本発明の一実施例におけるメモリバッファ制御システムの概要を示すブロック図である。

【図2】 本実施例で本実施例のメモリバッファ制御システムにおける先読み制御の様子を表わしたタイミング図である。

【図3】 本実施例の共有メモリ制御部における制御の

要部の流れを表わした流れ図である。

【図4】 図3で説明した先読みバッファを構成するFIFOメモリの読み出し制御の様子を表わした流れ図である。

【図5】 2つの異なったバス的一方に共有メモリを備えた従来の共有メモリ制御システムの一例を表わしたシステム構成図である。

【図6】 従来の提案において、共有メモリにデータを書き込む場合のDMA制御装置側の処理作業の時間的な推移と共有メモリの読出アクセスのためのタイミングをそれぞれ表わしたタイミング図である。

【図7】 従来提案された他の共有メモリ制御システムを表わしたブロック図である。

【図8】 従来における計算機が入出力装置と接続された一例を表わしたシステム構成図である。

【図9】 従来において出力する画面データを記憶するようにした主メモリ装置の記憶領域の構成を表わした説明図である。

【図10】 図9に用いた主メモリ装置を使用して画面の切り替えを行う様子を示した説明図である。

【図11】 従来において出力するプリントデータを記憶するようにした主メモリ装置の記憶領域の構成を表わした説明図である。

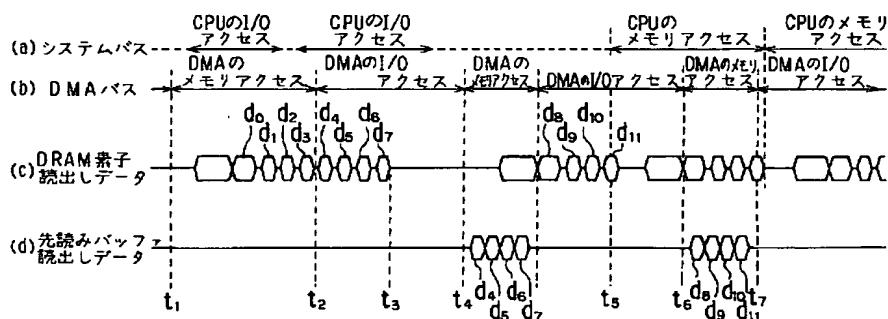
【図12】 図11に用いた主メモリ装置を使用してプリントの行われる様子を示した説明図である。

【図13】 ファーストページモード動作のDRAM素子から連続してデータを読み出す際の様子を表わしたタイミング図である。

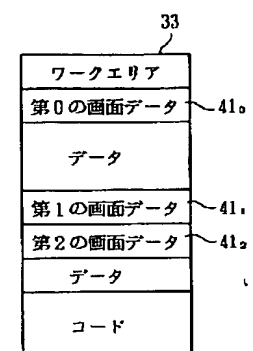
【符号の説明】

11…CPU、14…システムバス、16…DMAバス、51…共有メモリ制御部、52…DRAM素子、53…DRAM制御回路、56…先読みアドレスカウンタ、59…アドレスセクタ、62…データセクタ、63…先読みバッファ、67…比較器、71…制御回路

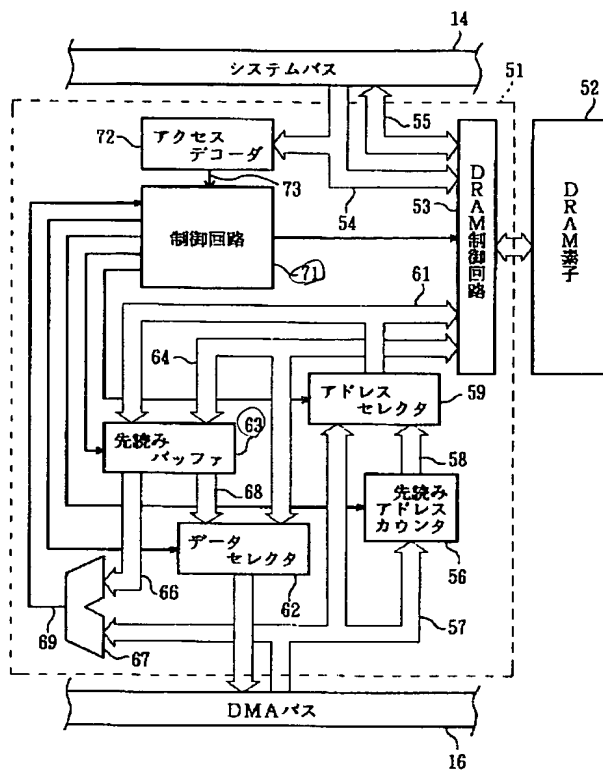
【図2】



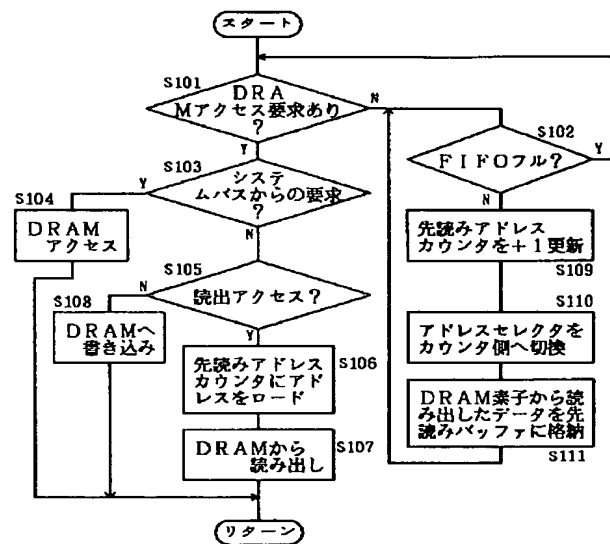
【図9】



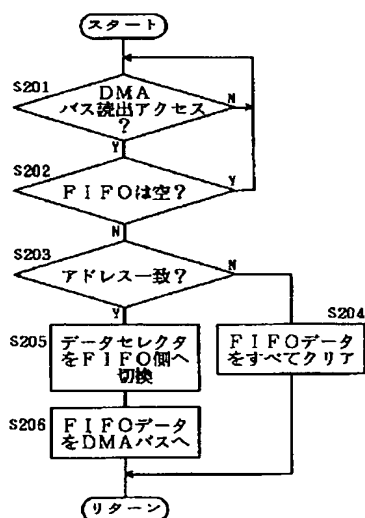
【図1】



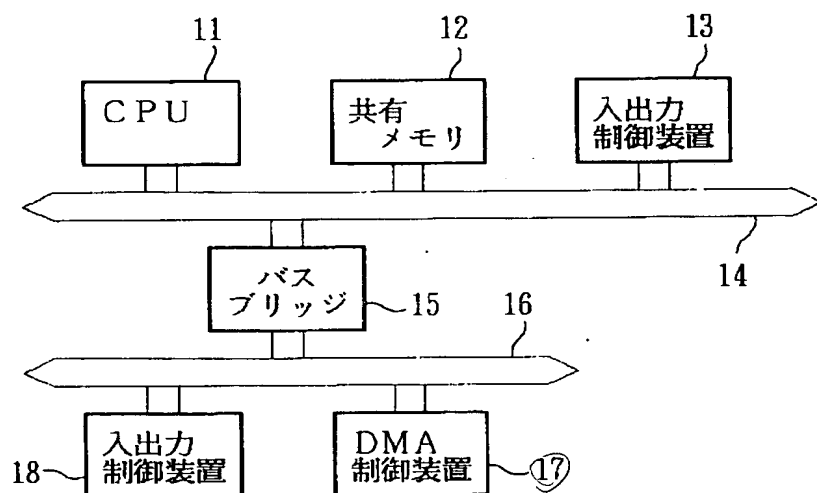
【図3】



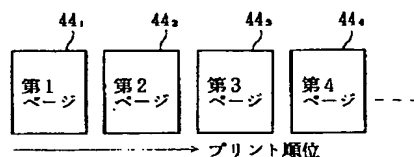
【図4】



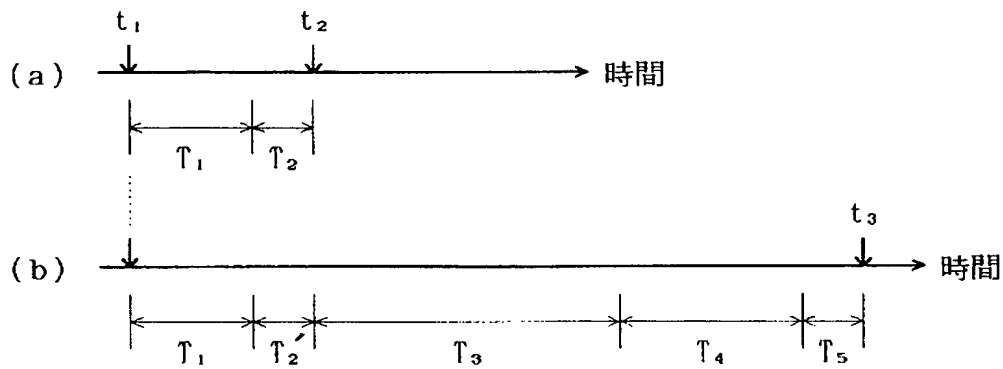
【図5】



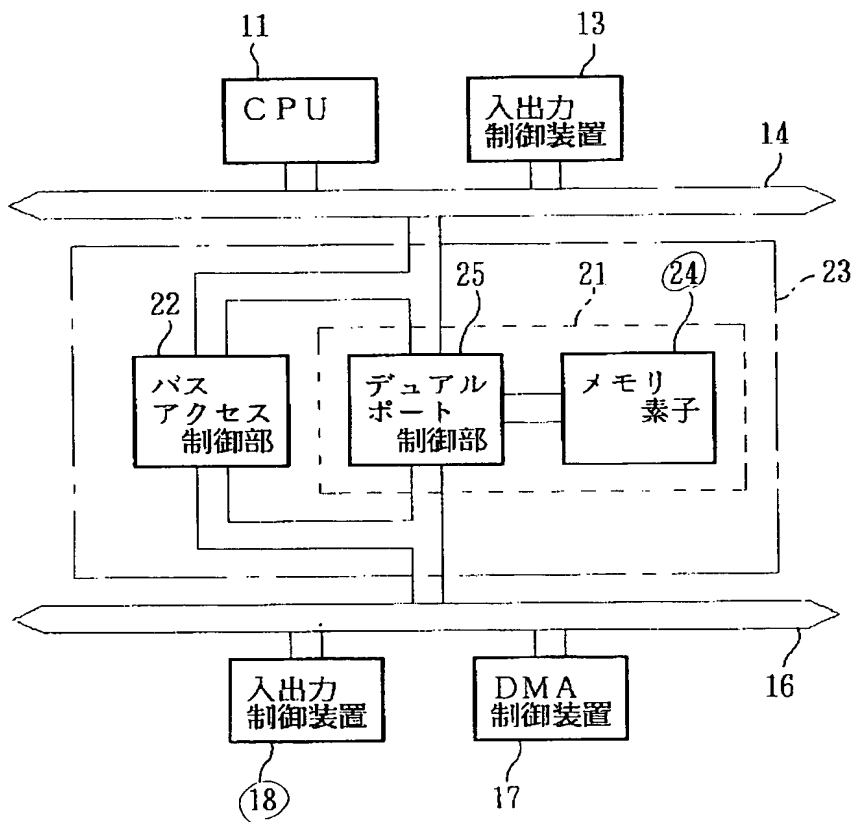
【図12】



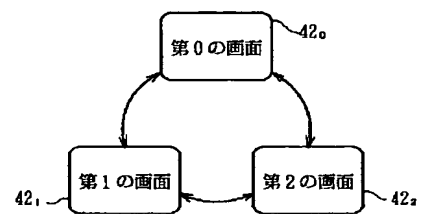
【図6】



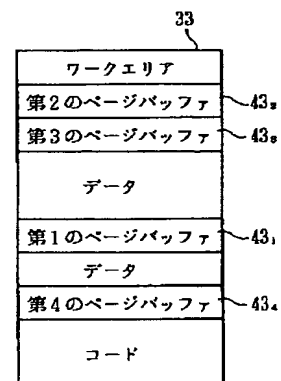
【図7】



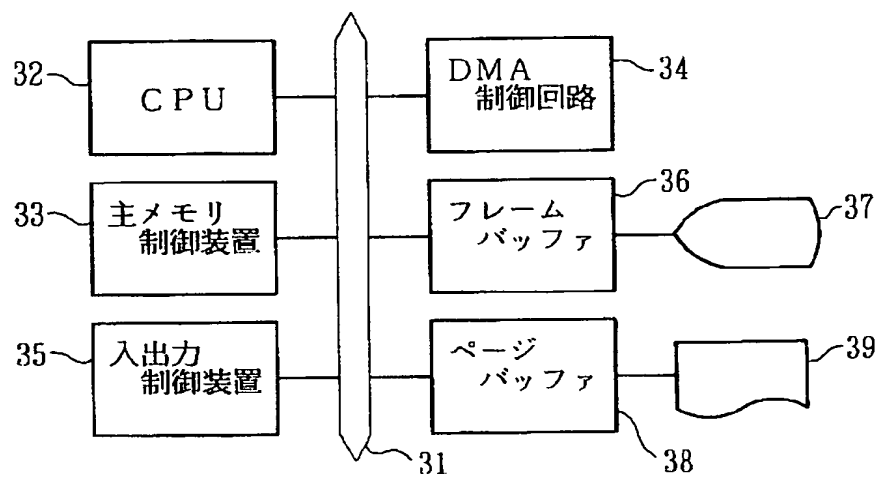
【図10】



【図11】



【図 8】



【図13】

